Indholdsfortegnelse

[CMOS implementering 1](#_Toc167728325)

[Pull up network: 1](#_Toc167728326)

[Pull down network 2](#_Toc167728327)

[Pull up / down network 3](#_Toc167728328)

[Test med Nand 4](#_Toc167728329)

[Test med XOR 7](#_Toc167728330)

[Øvelser fra videoer 10](#_Toc167728331)

[Delay - Parasitic 11](#_Toc167728332)

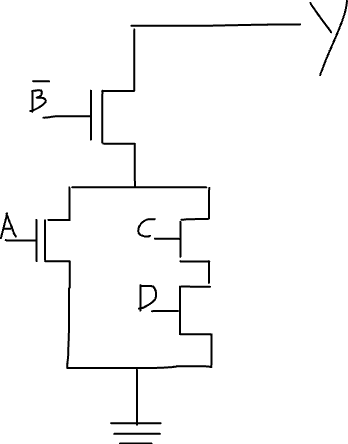
## CMOS implementering

Eksempel fra video

<https://www.youtube.com/watch?v=-tlnds4Yc7Q>

### Pull up network:

’’’



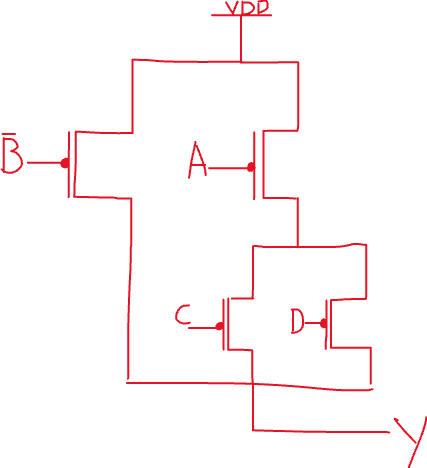
### Pull down network

Demorgans

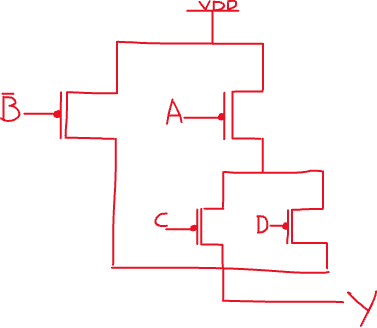
Demorgans

Demorgans

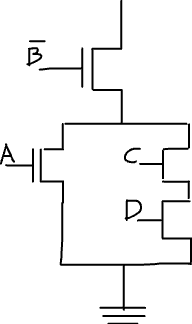
’’’



### Pull up / down network

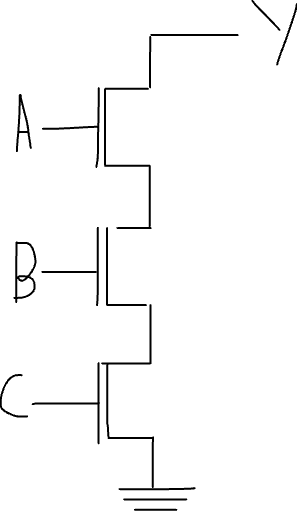


’’’



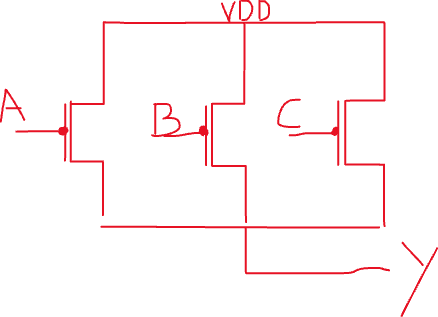
### Test med Nand

Pull down

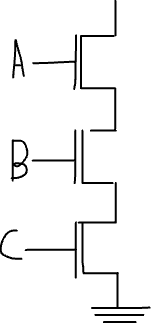
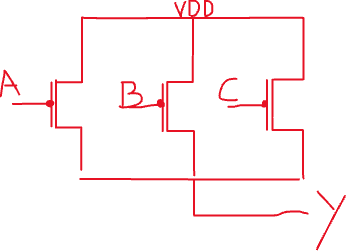


Pull up

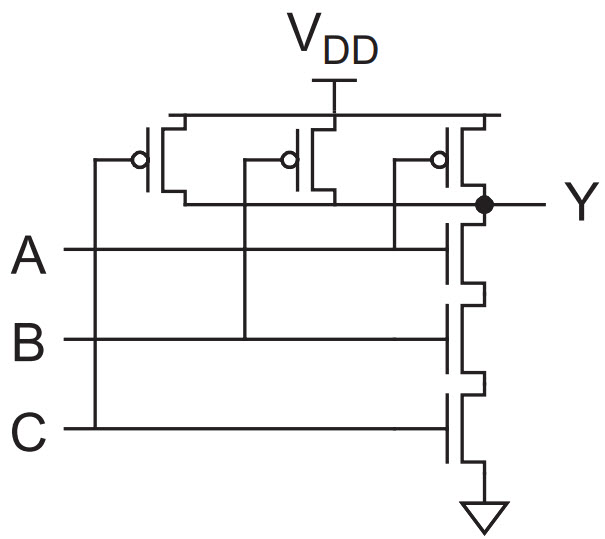
’’’



CMOS netværk



Sammenligning:



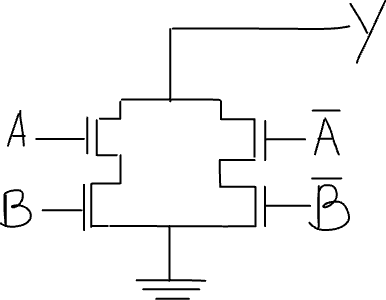
Som er det præcis samme jeg har lavet.

### Test med XOR

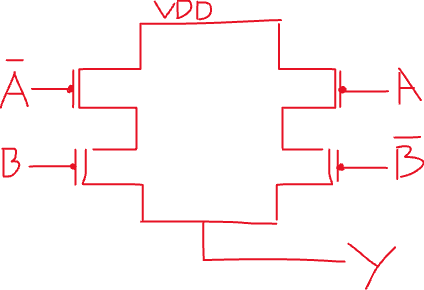
Demorgans

Demorgans

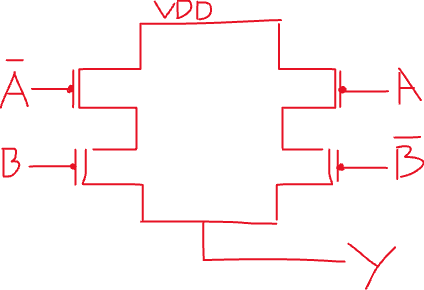
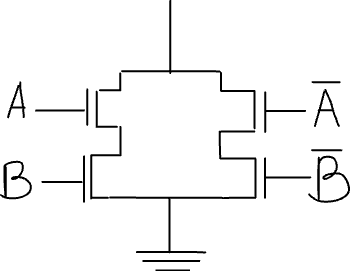
’’’



Pull up netværk



Cmos netværk.



’’’

### Øvelser fra videoer

<https://www.youtube.com/watch?v=zP8w-RXQK4Q>

Som også er det jeg ser i pull up netværket

-----------------------------------------------------------------------------------------------------------------------------------

Et billede, der indeholder diagram, skærmbillede, Plan, linje/række

Automatisk genereret beskrivelse

Det er en Nand med et inverteret input.

-----------------------------------------------------------------------------------------------------------------------------------

Et billede, der indeholder diagram, skærmbillede, pixel

Automatisk genereret beskrivelse

Her er pull up netværket bare et logic HIGH, som bare må trække det mere strøm, hvis den bliver LOW, da HIGH så løber ud i ground.

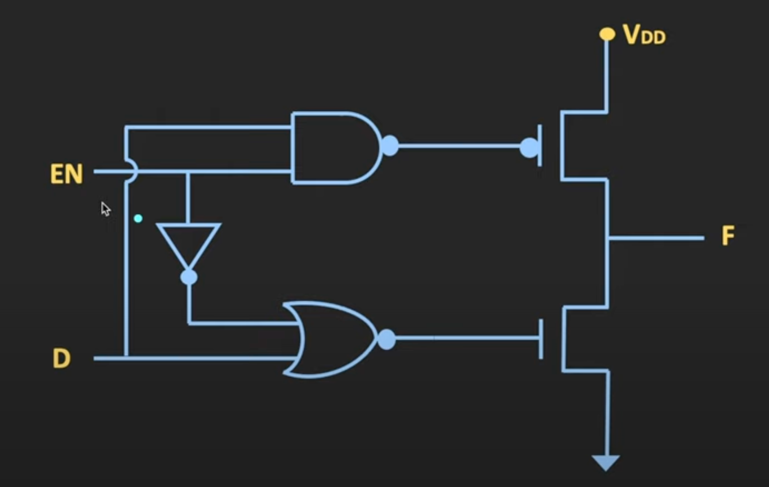
-----------------------------------------------------------------------------------------------------------------------------------

Et billede, der indeholder diagram, skærmbillede, linje/række, Plan

Automatisk genereret beskrivelse



Som også er det jeg ser.

Hvad er F for EN 0 eller 1?

I nmos netværket, så trækkes der en

ind i en nor gate.

Så lad mig se på

Så er

0 0 0 1

0 1 0 1

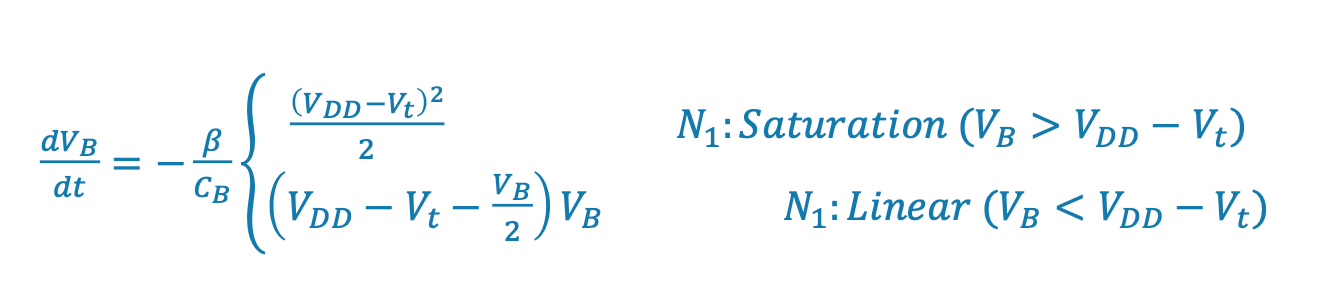
1 0 0 1

1 1 1 0

Nand

### Delay - Parasitic

Ud fra de her to formler:



Udleder jeg:

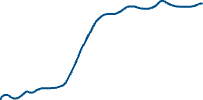
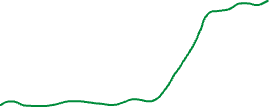
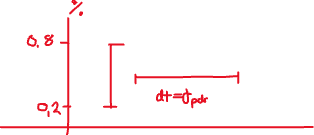
Og ekstra info som er godt at vide er at:

#### Øvelser

##### Øvelse 1. Calculate the propagation delay and edge rate of X1 in the last example.

###### Propagation delay

Assume that the N1 and P1 transistor widths are 1μm and 1.5 μm, respectively. The output capacitance is 20 fF. Use the following long channel model parameters for a 65-nm process



For :

Så jeg har ændringen i spændingen til at være et eller andet signal under 20% til et signal på 50%

Lad mig gøre det nemmere og bare antage, at signalet er ideelt og dermed 0 før rise.

Signalet opererer kun i lineær mode til dette delay.

For :

Her opererer jeg i saturation og i lineær mode.

Lad mig igen antage, at mit signal er ideelt, og at jeg inden fall har et signal på 100% VDD.

Jeg glemte minus for rise time. Men fortegnet er jeg egentlig ligeglad med, det er størrelsen af den tid der er, og så er det andet fortolkning.

Så

Og

###### Edge rate

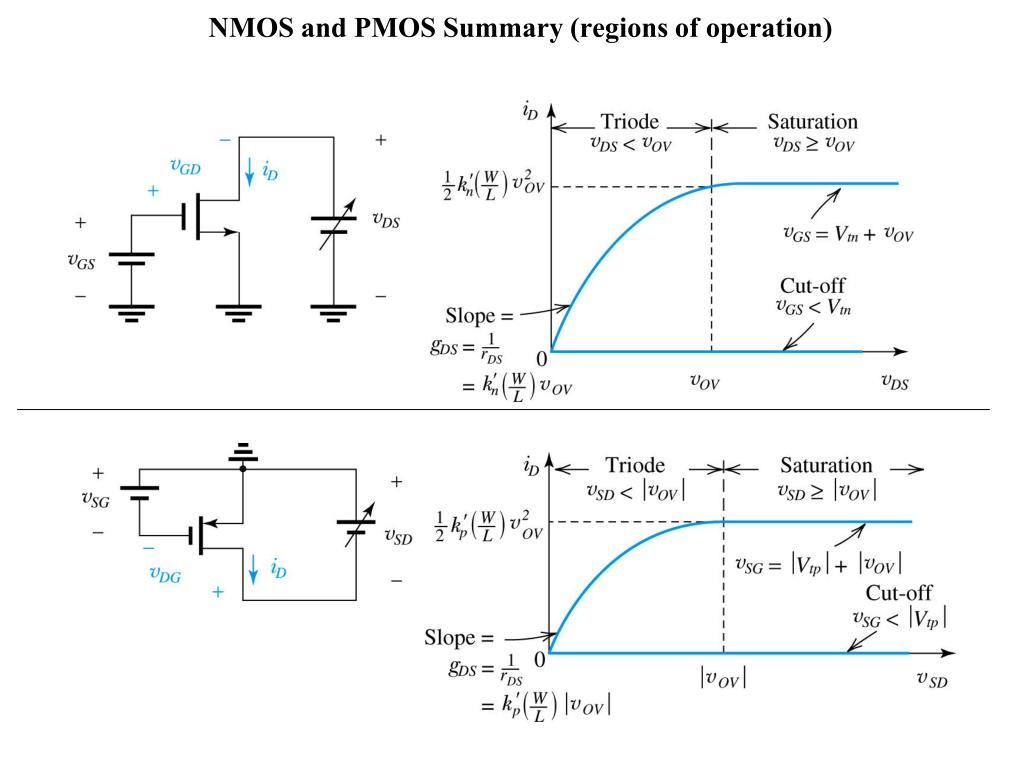
For edge rate skal jeg finde

Rise kan blive splittet op i to regioner fra

Fall kan blive splittet op i to regioner fra

For rise:

For fall:

====================================

====================================

Hvad hooman har fået, som jeg kan lære af:

har et prefix på

Mine regioner er sat forkert

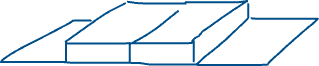
#### Øvelse 2 delay for NAND gate

A=B=1’’’

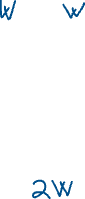
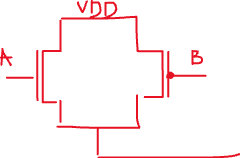
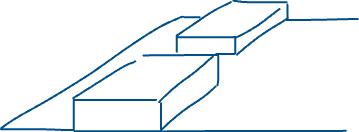
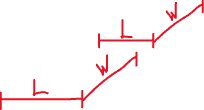
For to transistorer med samme størrelse i serie kan man



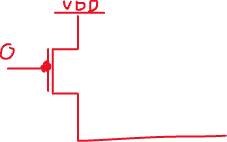
Sætte dem sammen som en ækvivalent transistor med dobbelt længde.



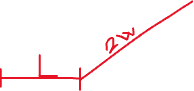
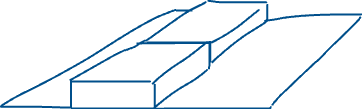
For



Kan jeg beskrive den parallelle sammenkobling som to bredder lagt sammen.



’’’

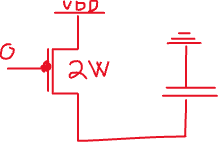


Så jeg har to simplificeringer

A=B=1

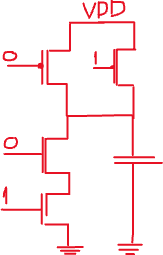
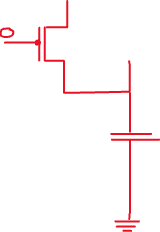


A=B=0

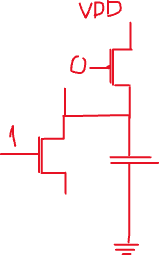
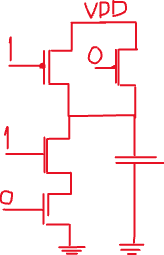


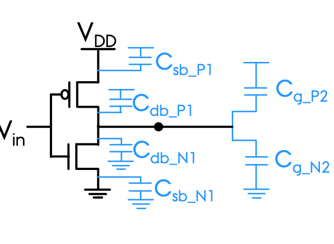
A≠B= 0 , 1 Kan jeg finde ækvivalent kredsløbet som.

’’’



For A≠B = 1, 0 Kan jeg finde ækvivalenten som:



Med en flagre forbindelse gennem en nmos transistor. Reelt set vil det have en betydning for delayet.

Ved hjælp af strømmen vil jeg så beskrive tidsforsinkelserne

For den første kan jeg finde output kapacitansen som

Hvis jeg antager, at det er B som sidst er blevet skiftet, så at der før skift

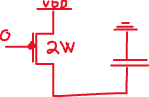


har været lukket for nmos netværket, og at og ned efter er afladt,

så kan jeg beskrive den afledene strøm som.

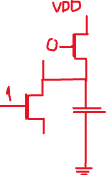
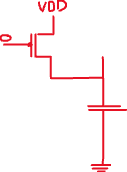
Hvor jeg antager, at diffusion kapacitansen er den samme for begge pmos.

Hooman beskriver det også med en *Load capacitans*, men det ser jeg bort fra.



Set fra den anden af kan jeg finde kapacitansen som:

Hvor jeg har antaget, at systemet har været uberørt lige indtil nu, og at hele systemet oplades.



Ved en forventning om det værste har jeg fundet

Hvis jeg så prøver at sætte det sammen.

Hvis I saturation:

Hvis i saturation